

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-118474
 (43)Date of publication of application : 02.05.1990

(51)Int.CI. G01R 31/28
 G01R 31/318
 H01L 21/66

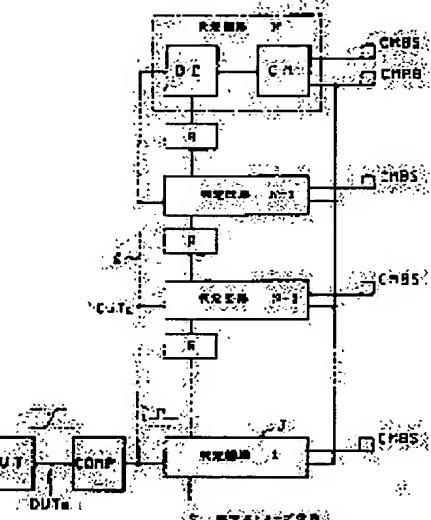
(21)Application number : 63-272166 (71)Applicant : FUJITSU LTD
 (22)Date of filing : 28.10.1988 (72)Inventor : UEDA KOICHIRO

(54) TESTING DEVICE FOR PROPAGATION DELAY TIME

(57)Abstract:

PURPOSE: To obtain data in a short time and at the time of a normal/defective test by storing respective memories with respective decision results of outputs of a body to be measured under various test conditions which differ in decision timing, and reading them out and making a normal/defective decision.

CONSTITUTION: Various test inputs are supplied from a test unit to the body DUT to be measured and its outputs are supplied to comparators DC in parallel to decide whether or not the outputs are normal at different timing. The decision results are written in the memories CM which are provided separately. The contents of the memories CM are checked to know whether the tested body is normal or not and the maximum delay when the tested body is abnormal. The results of the memories CM are read every time a test is conducted and results of respective tests which are conducted under various conditions are stored; and the test results under the respective conditions can be read out at a time and decided after a series of the tests.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開
⑪ 公開特許公報 (A) 平2-118474

⑫ Int. Cl. 6 識別記号 庁内整理番号 ⑬ 公開 平成2年(1990)5月2日
G 01 R 31/28 31/318 F 7376-5F 6912-2G G 01 R 31/28 M
H 01 L 21/66 6912-2G A
審査請求 未請求 請求項の数 1 (全6頁)

⑭ 発明の名称 伝播遅延時間の試験装置

⑮ 特 願 昭63-272166

⑯ 出 願 昭63(1988)10月28日

⑰ 発明者 上田 浩一郎 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑱ 出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑲ 代理人 弁理士 青柳 稔

明細書

1. 発明の名称

伝播遅延時間の試験装置

2. 特許請求の範囲

1. 被測定物 (DUT) に各種試験入力を供給するテストユニット (TU) と、

該被測定物の出力を並列に供給され、各々異なるタイミングで該出力の良否を判定する複数個のコンバレータ (DC) と、

各コンバレータ (DC) の判定結果を書き込まれるメモリ (CM) とを備えることを特徴とする伝播遅延時間の試験装置。

3. 発明の詳細な説明

〔発明の概要〕

半導体素子などの被測定物の伝播遅延時間の試験装置に関し、

短時間にデータ取得を可能とし、良／不良試験時にもデータ取得が可能であり、また間欠的な出力信号の変化がないことを保証する場合も良／不良判定にて検出可能である試験装置を提供すること

とを目的とし、

被測定物に各種試験入力を供給するテストユニットと、該被測定物の出力を並列に供給され、各々異なるタイミングで該出力の良否を判定する複数個のコンバレータと、各コンバレータの判定結果を書き込まれるメモリとを備えるよう構成する。

〔産業上の利用分野〕

本発明は、半導体素子などの被測定物の伝播遅延時間の試験装置に関する。

近年の半導体素子は益々大容量、超高速になってきており、その性能評価のためのデータ取得には益々多大な時間が必要となっている。本発明は特に半導体素子の評価のためのデータ取得をCO/N0 CO試験状態 (1試験条件下におけるCO (良) / N0 CO (不良) 判定) でも可能とした試験装置に係るものである。

〔従来の技術〕

半導体素子などではある1つの試験条件下にお

いて一連の試験パターンを通してにより良／否判定をし、条件を変更して試験を繰り返して所要のデータを得ている。このため試験時間が膨大となっている。

また間欠的な出力信号の変化がないことを保証する場合も、繰り返して試験判定している。

(発明が解決しようとする課題)

従来は被測定物の試験データを取得するのに繰り返して試験していたため、評価所要時間が大になっていた。

本発明は、短時間にデータ取得を可能とし、GO(良)／NO GO(不良)試験時にもデータ取得が可能であり、また間欠的な出力信号の変化がないことを保証する場合もGO／NO GO判定にて検出可能である試験装置を提供することを目的とするものである。

(課題を解決するための手段)

第1図(a)に示すように本発明の試験装置は、制

御用のホストコンピュータCPUと、被測定物(こゝではテストヘッドTH)に試験条件を供給するテストユニットTU即ちタイミングゼネレータTG、バターンゼネレータPG、フォーマットコントロールFC、レベルゼネレータVI/V0と、被測定物から出力された信号を判定するデジタルコンパレータDCと、その判定結果を記憶するメモリCMと、測定結果を出力する出力機器OPと、測定条件を定義した試験プログラムをコンピュータCPUへ入力可能な入力機器IPを有する。

半導体素子などの被測定物DUT(Device Under Test)とコンパレータDC、メモリCMの関係は、第1図(b)に示す如くであり、DC、CMとも複数(N)個ある。被測定物DUTの出力、例えばメモリであれば読み出し出力は、各コンパレータDCに並列に入力する。判定用ストローブ信号Sは各コンパレータDCへ供給されるが、逐次遅延とされるので、時間軸上で見ると第1図(c)の如く、1サイクル中にN個のストローブが入ったようになる。

(作用)

この装置では被測定物DUTは、ある1つの条件でそれに対する出力を生じ、N個のコンパレータDCに入力する。コンパレータはストローブ信号Sが入った時点で入力を判定する。例えば、被測定物DUTの出力が第1図(c)のOUTaであったとする、ストローブS₁のタイミングで動作するコンパレータ(DC₁とする)は入力Lレベルとし、それよりT₁時間遅れたストローブS₂のタイミングで動作するコンパレータ(DC₂とする)も入力はLレベルとし、しかしそれより更にT₂時間遅れたストローブS₃のタイミングで動作するコンパレータ(DC₃とする)は入力はHレベルとし、更にT₃時間遅れたストローブS₄のタイミングで動作するコンパレータ(DC₄とする)も入力はHレベルとする。期待値はOUT₀の如くオールHであれば、コンパレータ1、2の比較結果は不良(期待値と異なる)"1"、そしてコンパレータ3、4の比較結果は良"0"となる。メモリCMにはこの不良1を書き込む。従って

このメモリCMを読み出しても良／不良、不良ならその最大遅れなどを知ることができる。

試験条件を変えると被測定物DUTの出力OUT₀は變り(H,L変化点が遅、進する、H部分がなくなる等)、コンパレータDCの出力も變る。これもメモリCMへ書き込まれ、該メモリを読み出すことにより良／不良等を知ることができる。

メモリCMは試験の度毎に読み出して結果を見ててもよく、または種々試験条件を変えて行なう各試験の結果を逐次メモリCMに格納し、一連の試験が終ったのちメモリCMの格納データを読み出してみて、各試験条件の下での試験結果を一括して取出し、判定することもできる。

このように本発明では各種試験条件での被測定物の出力の、判定タイミングを異らせた各判定結果を各メモリに書き込み、これらのメモリの格納データを読み出して良否判定するので、極めて多数の試験条件での試験も迅速に行なうことができる。例えば第1図(c)のS₁～S₄による判定も、従来方式では同じ条件でDUTに4回出力させ、それ

を S_1, S_2, \dots で判定することになるが、本発明ではこれを1回で行なうことができる。かかる試験を多数種行なう場合は、本発明の利点は更に効果的になる。

〔実施例〕

第2図に実施例を示す。こゝではデジタルコンパレータDCとコンペアメモリCMを含めて判定回路Jとする。判定ストローブ信号Sは最初の判定回路1へは直接入力するが、他の判定回路へはレンジ(遅延)回路Rを介して逐次入力する。

被測定物DUTの出力OUTaは実線で示すようにしからHに立上る信号またはHからLへ立下る信号であるが、コンパレータCOMPを置いて、閾値以上であればH出力、閾値以下であればL出力などとする。判定回路1～Nへはこの閾値でH,Lに区別された出力(やはりOUTaとする)が入力する。

コンパレータCOMPの出力OUTaを各判定回路1～Nへ入力する信号線Lの長さは各判定回路で

等しくはなく、伝播遅延を考えると出力OUTaは各判定回路へ同時に入力せず、その入力タイミングはずれることになる。レンジ回路Rはこの遅延も補正する。即ち第1回路の遅延 T_1, T_2, \dots を全て等しく、Tとすると、各レンジ回路Rは遅延Tを持てばよいが、この他に各判定回路間の信号線Lの伝播遅延(これも等しく ΔT とする)を持ち、 $T + \Delta T$ とする。これを第3回路に示す。

動作を説明すると、被測定物DUTの出力信号OUTaはコンパレータCOMPに入力され、Hレベルと判定されると、そのHレベル判定された時点で立上る矩形波(OUTa)として出力され、各判定回路1～Nへ入力する。判定ストローブ信号Sは前記遅延を与えられて判定回路へ入力し、この結果信号線L上の遅延も補正されて第3回路に示すように、出力OUTaを、判定回路1は時点 t_1 で、判定回路2は時点 t_2 で、…判定回路Nは時点 t_N で、H/L判定することになる。本例では判定回路4までがH判定、判定回路5以後がL判定である。試験条件によっては第3回路に示す

ように出力OUTaが時間 τ だけ遅れてOUTbになったりする。この場合はH/L判定結果も変る。これらの判定結果は、不良と判定したものとメモリCMへ書込む。

各判定タイミング t_1, t_2, \dots の間の時間差を小にすると、出力OUTaのH/Lを微細に検査することになる。即ち該時間差は分解能を規定し、該時間差が小であれば分解能は高い。但し、判定回路の個数は増す。

テストパターンでの試験が完了した後、メモリのブロックセレクト信号CMBSをアドレスとしてメモリCM1つずつ読出し、その読出し出力CMRB(CMリードバック)より被測定物DUTの良否判定、伝播遅延時間の最悪値などを取出す。

メモリCMは試験前に予めCPUにより“0”に初期化しておく。この場合良判定結果の“0”は書込む必要がない(既に書込まれている)。また、判定の結果が良であればメモリの更新は行なわないようにすると、パターンセネレータPGが発生可能な全てのパターン及びメモリデバイスの

ようなセル依存性の高い品種にも遅延時間の最悪値を検出可能である。

出力OUTaは第3回路に点線で示すように、Hになったのちに落ち、再びHに変化することがある。このような間欠的に出力信号が変化する特性のデバイスに対しても本発明は有効である。即ちこの場合は判定回路1～Nの判定結果が0000 111001…などとなる(通常は00011111…から、これにより異常出力であることが分る)。

メモリCMは1ワード×Nビット構成(1ワードつまり1アドレスのみでその1アドレスが1ビット容量のものN個。第2回路はこれを想定)とする代りにMワード×Nビット(MワードまたはMアドレスあり各アドレスは1ビット容量のものN個)としてもよく、この場合の例を第4回路に示す。メモリCMへのアドレス信号ADDと被測定物DUTへのアドレス信号を一致させて試験プログラムに設定しておく。これにより、各試験条件での試験結果をメモリCMのアドレス1, 2, ……Mへ格納し、DUTがメモリならその各セルについ

ての試験結果を一括して読み出すことができ、セルアレイに対応した伝播遅延時間の最悪値などを迅速に読み出すことができる。第3図(4)にこの場合のメモリCMの構成を示す。

第5図(4)にレンジ回路Rの具体例を示す。G₁、G₂、……は遅延素子を構成するゲート回路、S₁、S₂、……は出力取出し用のスイッチ、SELは選択信号である。選択信号SELによりS₁より出力を取出すようにすれば、ゲートG₁だけの遅延が加えられ、S₂より出力を取出すようにすればG₁、G₂の各遅延の和の遅延が加えられる。こうして所望の遅延を入力S(ストローブ信号)に加えることができる。

第5図(4)に、被測定物DUTの出力をH/L判定するコンパレータCOMP等の具体例を示す。コンパレータCOMPは、Hレベルの基準値V_{OH}と比較する比較器C₁と、Lレベルの基準値V_{OL}と比較する比較器C₂で構成される。これらの出力V₁、V₂は、DUTの出力がV_{OH}以上ならV₁=V₂=H、V_{OL}以下ならV₁=V₂=L、V_{OH}とV_{OL}の間な

らV₁=L、V₂=Hである。これを比較器C₃で比較データREFと比較すると良/不良が分る。不良ならメモリCMへ1を書込む。この実施例の場合は第2図の信号線は2本になる。第6図に試験装置の各要素PG、TC、FC、……の結線関係を示す。パターンゼネレータPGはテストバターンを出力し、フォーマットコントロールFCはDUTの駆動波形を出力する。レベルゼネレータVIVOはDUTのドライバであって、駆動信号(メモリならアドレス信号)のレベルを定める。例えばTTならHは0V、Hは3V、ECLならLは-1.8V、Hは-0.9Vなどとなるが、ドライバVIVOはこのレベルを作る。

被測定物DUTがメモリである場合、そのテスト方法は既知のように種々ある。その若干を説明するに、SCANと呼ばれるテストがあり、その簡単なものは、メモリアドレスを0～nとし、W00、W01、……はアドレス0、……への0、1の書き込み、R00、R01、……はアドレス0、……の上記0、1の読み出しとして、W00、W10、

……Wn0、R00、R10、……Rn0、W01、W11、……Wn1、R01、R11、……Rn1とする。ストライプと呼ばれるSCANテストではW00、W11、W20、……R00、R11、R20、……W01、W10、W21、……R01、R10、R21、……とする。またピンポンと呼ばれる方式では第3図(4)に示すように、メモリを最初クリアしておき、0、0(最初の数字はロードレス、次の数字はコラムアドレス)に1を書いたら0、1の0を読み、次はまた0、0に1を書き、0、2の0を読み、また0、0に1を書き、0、3の0を読み……という処理を繰り返す。本発明はかかるテストのリード時の出力の良、不良、遅延判定に適用できる。

〔発明の効果〕

以上説明したように本発明によれば、繰り返し多数回の試験を行なって長時間を要する被測定物の出力の伝播遅延時間の試験を短時間で効率よく行なうことができる。また出力の異常変化なども

簡単に捉えることができ、メモリセル毎のアクセスデータの取得、ロジックであれば試験バス線のアクセスデータ取得が1バターン試験(GO/NO GO)可能である。

4. 図面の簡単な説明

第1図は本発明の原理説明図、

第2図は本発明の実施例のブロック図、

第3図は各部の構成動作の説明図、

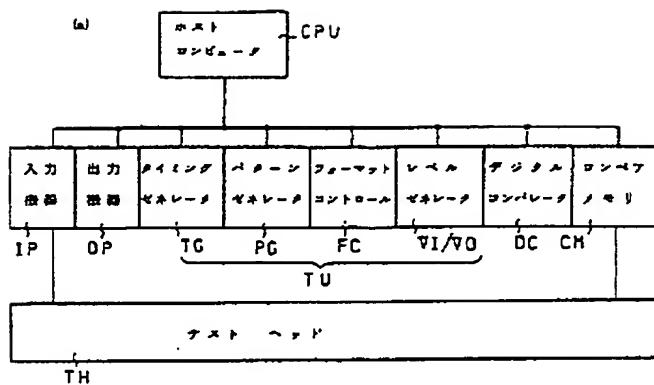
第4図は本発明の他の実施例のブロック図、

第5図は各部の具体例の説明図、

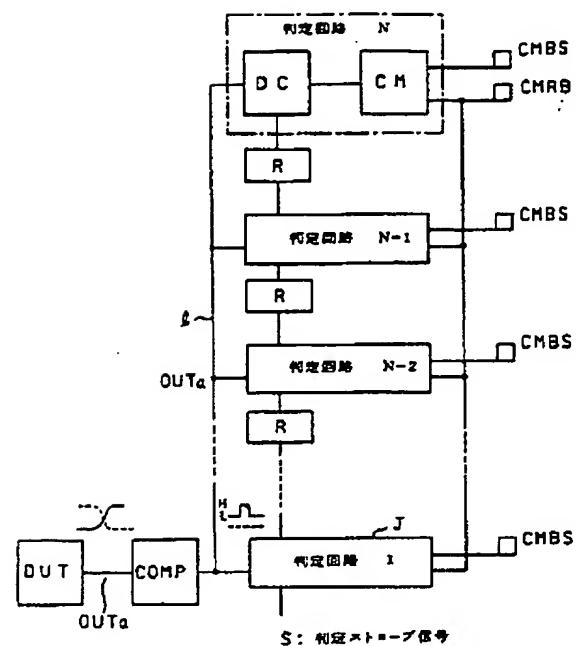
第6図は各部の結線状態の説明図である。

第1図でSは判定用ストローブ信号、OUT_aは被測定物の出力、OUT_eはその期待値である。

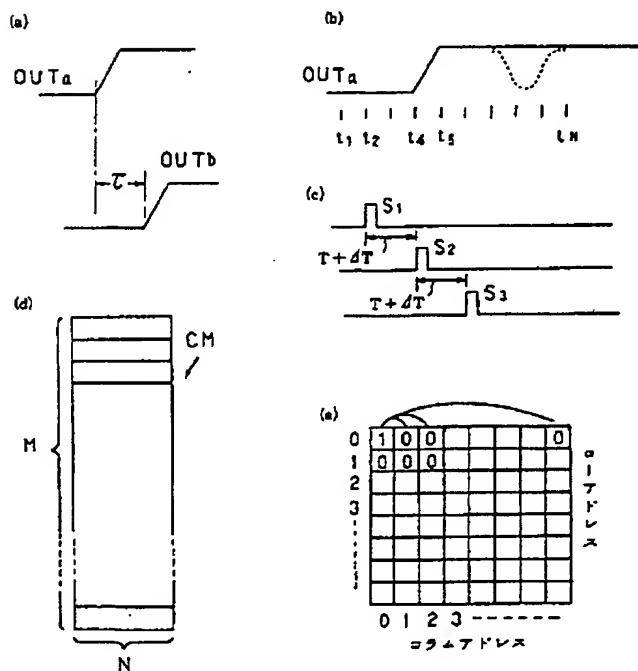
出 品 人 富 士 通 株 式 会 社
代理 人 介 理 士 背 柳 稔



本発明の原理説明図
第1回

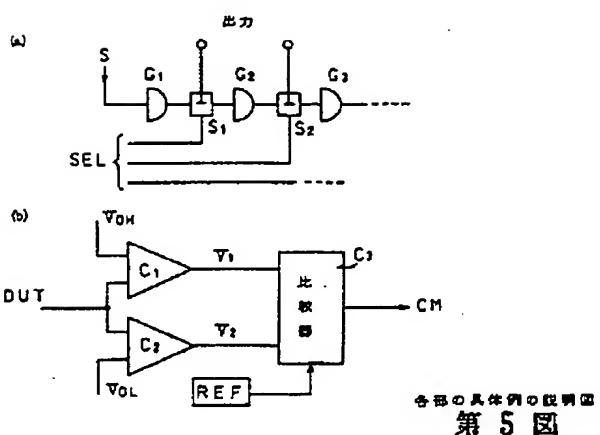


本発明の実用例のプロトタ입
第2図

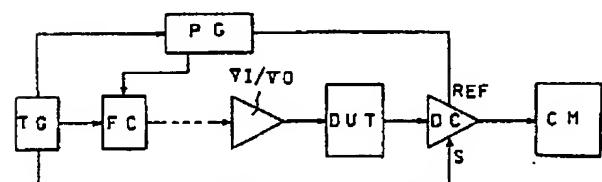


各部の構成、動作の説明図

第 3 四

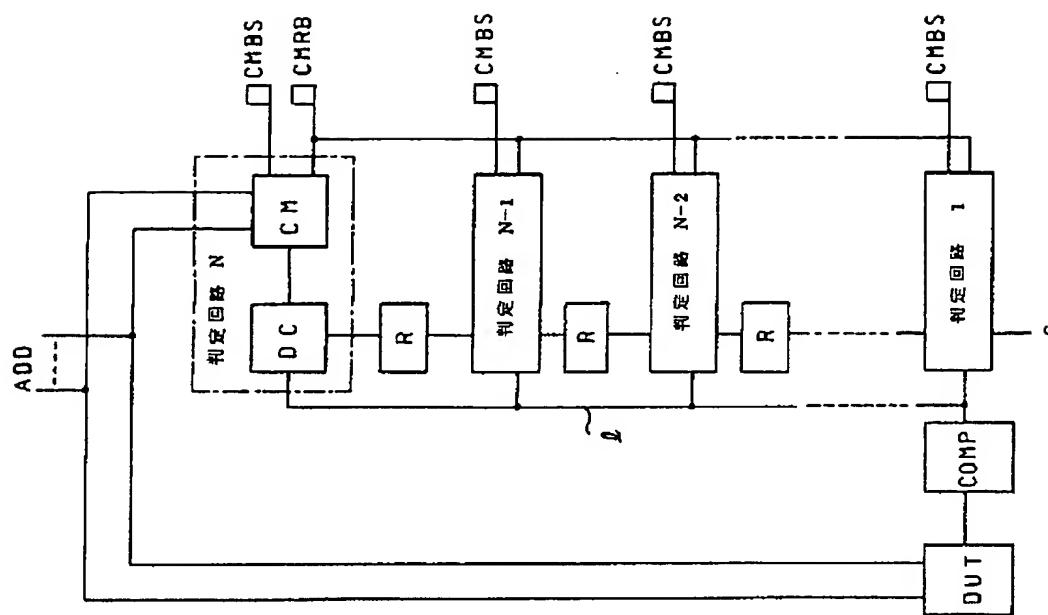


各部の具体的な説明図
第5図



各部の結構状態の説明図

第6回



本発明の他の実施例のプロック図
第4図